

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-313195

(43)Date of publication of application : 26.11.1993

(51)Int.Cl.

G02F 1/136  
H01L 27/092  
H01L 27/12  
H01L 29/784

(21)Application number : 04-120699

(71)Applicant : SEIKO INSTR INC

(22)Date of filing : 13.05.1992

(72)Inventor : TAKAHASHI KUNIHIRO  
KOJIMA YOSHIKAZU  
TAKASU HIROAKI  
YAMAZAKI TSUNEO

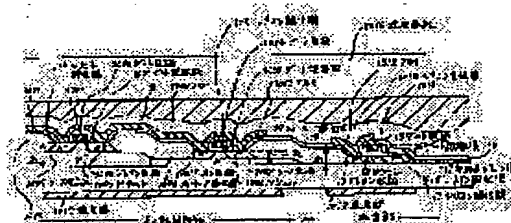
## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

**PURPOSE:** To reduce the power consumption of the integrated circuit of a driving circuit part and to eliminate a leak current due to the parasitic channel of the switching transistor of a pixel part by making a specific semiconductor single-crystal silicon layer thinner than the silicon layer in an area where a driving circuit element group is formed.

**CONSTITUTION:** At the driving circuit part, the thickness  $t_3$  of the single crystal silicon in the area of an N type MOS transistor is made thicker than the thickness  $t_2$  of the single crystal silicon in the area of a P type MOS transistor.

Consequently, neither of the bottoms of the source electrode 1007 and drain electrode 1008 of the N type MOS transistor contacts a silicon oxide film 11 as a substrate and the bottom of a field oxide film 1005 in the area where the N type MOS transistor is formed, i.e., in a P well 1006 does not contact the silicon oxide film 11 as the substrate. Consequently, the parasitic channel of the N type MOS transistor is not generated and the leak current is suppressed small.



## LEGAL STATUS

[Date of request for examination]

14.11.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2850072

[Date of registration]

13.11.1998

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

JP 5-313195

---

**CLAIMS**


---

**[Claim(s)]**

[Claim 1] In the semiconductor device for light valve substrates with which the drive circuit element group which carries out selection actuation of the switching device group which performs selection electric supply to a pixel electrode group, and said switching device group was formed on the semi-conductor silicon single crystal film on the electric insulation matter Said drive circuit element group is formed from the complementary MOS transistor circuit at least. And the thickness of the semi-conductor single-crystal-silicon layer of the field in which the switching device group which performs selection electric supply to a pixel electrode group is formed is a semiconductor device for light valve substrates characterized by being thinner than the thickness of the semi-conductor single-crystal-silicon layer of the field in which a drive circuit element group is formed.

[Claim 2] The switching device group which performs selection electric supply to a pixel electrode group is a semiconductor device for light valve substrates according to claim 1 characterized by being the insulated-gate electric field effect mold transistor of P type.

[Claim 3] The semiconductor device for light valve substrates according to claim 1 or 2 characterized by preparing the high-concentration impurity range same type as a substrate to a pixel electrode group near the \*\*\*\* of the switching device which performs selection electric supply.

[Claim 4] claims 1, 2, or 3 to which the drive circuit currently formed from the complementary MOS transistor circuit at least is characterized by the bottom of the source electrode of the N-channel MOS transistor of said drive circuits and a drain electrode being distant from the electric insulation matter -- the semiconductor device for light valve substrates of any or a publication.

[Claim 5] claims 1, 2, 3, or 4 characterized by the bottom of the field oxide which the drive circuit currently formed from the complementary MOS transistor circuit at least has in the P type impurity range, i.e., P well field, which is a field in which the N-channel MOS transistor of said drive circuits is formed being distant from the

electric insulation matter -- the semiconductor device for light valve substrates of any or a publication [claim 6] In the semiconductor device for light valve substrates with which the drive circuit element group which carries out selection actuation of the switching device group which performs selection electric supply to a pixel electrode group, and said switching device group was formed on the semi-conductor silicon single crystal film on the electric insulation matter In the field in which said drive circuit element group is formed, the thickness of the single crystal silicon of the field in which the N-channel MOS transistor is formed claims 1, 2, 3, 4, or 5 characterized by being thicker than the thickness of the single crystal silicon of the field in which the P-channel MOS transistor is formed -- the semiconductor device for light valve substrates of any or a publication.

---

**DESCRIPTION OF DRAWINGS**


---

**[Brief Description of the Drawings]**

**[Drawing 1]** It is the structure section Fig. of the semiconductor device for light valve substrates of this invention.

**[Drawing 2]** It is the perspective view showing the configuration of the semiconductor device for light valve substrates.

**[Drawing 3]** It is the switching transistor structure section Fig. of the pixel section of this invention.

**[Drawing 4]** It is the graph which shows the gate voltage at the time of the exposure of light, and un-irradiating, and the relation of a drain current.

**[Drawing 5]** It is the graph with which the die length and width of face at the time of exposure \*\*\*\*\* show the thickness of the transistor of the same dimension, and the relation of optical leakage current for the light of the same reinforcement.

**[Drawing 6]** It is the structure section Fig. of the die-length direction of the N-channel MOS transistor on the electric insulation matter.

**[Drawing 7]** It is the structure section Fig. of the cross direction of the N-channel MOS transistor on the electric insulation matter.

**[Drawing 8]** It is the top view of the N-channel MOS transistor on the electric insulation matter.

**[Drawing 9]** It is the top view showing the configuration of active-matrix mold equipment.

[Drawing 10] It is the structure section Fig. of the die-length direction of the transistor of the pixel section.

[Drawing 11] It is the top view showing the configuration of the active-matrix mold equipment of this invention.

[Drawing 12] It is the structure section Fig. of the die-length direction of the transistor of the pixel section of this invention.

[Drawing 13] It is the structure section Fig. of the die-length direction of the N-channel MOS transistor on the electric insulation matter of this invention.

[Drawing 14] It is the structure section Fig. of the cross direction of the N-channel MOS transistor on the electric insulation matter of this invention.

[Description of Notations]

11 Substrate Silicon Oxide

16, 1003, 1009 Gate oxide

15, 1004, 1010 Gate electrode

12 1000 N wells

1006 P Wells

14, 1002, 1007 Source electrode

13, 1001, 1008 Drain electrode

19 1005 Field oxide

1012 Aluminum Signal Line

1014 Passivation

1015 Transparence Adhesives

1016 Transparence Glass Substrate

1017 Light-shielding Film

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the structure section Fig. of the semiconductor device for light valve substrates of this invention.

[Drawing 2] It is the perspective view showing the configuration of the semiconductor device for light valve substrates.

[Drawing 3] It is the switching transistor structure section Fig. of the pixel section of this invention.

[Drawing 4] It is the graph which shows the gate voltage at the time of the exposure of light, and un-irradiating, and the relation of a drain current.

[Drawing 5] It is the graph with which the die length and width of face at the time of exposure \*\*\*\*\* show the thickness of the transistor of the same dimension, and the relation of optical leakage current for the light of the same reinforcement.

[Drawing 6] It is the structure section Fig. of the die-length direction of the N-channel MOS transistor on the electric insulation matter.

[Drawing 7] It is the structure section Fig. of the cross direction of the N-channel MOS transistor on the electric insulation matter.

[Drawing 8] It is the top view of the N-channel MOS transistor on the electric insulation matter.

[Drawing 9] It is the top view showing the configuration of active-matrix mold equipment.

[Drawing 10] It is the structure section Fig. of the die-length direction of the transistor of the pixel section.

[Drawing 11] It is the top view showing the configuration of the active-matrix mold equipment of this invention.

[Drawing 12] It is the structure section Fig. of the die-length direction of the transistor of the pixel section of this invention.

[Drawing 13] It is the structure section Fig. of the die-length direction of the N-channel MOS transistor on the electric insulation matter of this invention.

[Drawing 14] It is the structure section Fig. of the cross direction of the N-channel MOS transistor on the electric insulation matter of this invention.

[Description of Notations]

11 Substrate Silicon Oxide

16, 1003, 1009 Gate oxide

15, 1004, 1010 Gate electrode

12 1000 N wells

1006 P Wells

14, 1002, 1007 Source electrode

13, 1001, 1008 Drain electrode

19 1005 Field oxide

1012 Aluminum Signal Line

1014 Passivation

1015 Transparence Adhesives

1016 Transparence Glass Substrate

1017 Light-shielding Film

---

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the substrate equipment for a drive of a monotonous mold light valve used for a direct viewing type display, a projection mold display, etc. It is related with the semiconductor integrated circuit substrate equipment with which the pixel electrode group, the switching device group, and the drive circuit element group were formed in more detail on the semiconductor silicon single crystal film on the electric insulation matter. This substrate equipment is built into a liquid crystal panel in one, and constitutes the so-called active-matrix equipment.

[0002]

[Description of the Prior Art] Former and active-matrix equipment is the electric insulation matter, For example, it was made by forming an amorphous silicon or polycrystalline silicon on a transparence glass substrate or a transparence quartz substrate, and forming pixel electrode groups, switching device groups, and all the drive circuit element all [ a part or ] on it further. However, the attempt which forms said pixel electrode groups, switching device groups, and all the drive circuit element groups on the semi-conductor silicon single crystal film on the electric insulation matter was not accomplished.

[0003]

[Problem(s) to be Solved by the Invention] There are five troubles which this invention tends to solve. As for the 3rd, the 4th is about actuation of the drive circuit formed the leakage current of the switching transistor of the pixel section [ according / the 2nd / to light ] according [ one ] to the power consumption of a drive circuit, immobilization of the substrate potential of the switching transistor of the pixel section and the leakage current of the N-channel MOS transistor peculiar to the single crystal silicon wafer on an insulating substrate (it is henceforth called a SOI wafer), and on the semi-conductor silicon single crystal film which the 5th has on the electric insulation matter.

[0004] You may say that the greatest advantage in the case of forming a drive circuit and a pixel section switching transistor on the single crystal silicon of one is in the rapidity by the mobility of a transistor being high compared with the case where it forms on polycrystalline silicon or an amorphous silicon. When forming an MOS transistor on the thin semi-conductor silicon single crystal on an electric insulation substrate so that it may mention later, the N-channel MOS transistor tends to generate leakage current. For this reason, it is possible that the switching transistor of the pixel section also makes a drive circuit from the P-channel MOS transistor independent. However, the power consumption by the dc component of a drive circuit becomes large in this case.

[0005] In the semiconductor device for light valve substrates using liquid crystal, light is irradiated through liquid crystal to the field currently formed in the pixel electrode group. Usually, each switching transistor for carrying out selection electric supply at a pixel electrode group is formed in the part which carried out \*\*\*\* contiguity at each corresponding pixel electrode. For this reason, even if it is going to try protection from light of only a field with each switching transistor, some light will carry out incidence also to a switching transistor field in response to a surroundings lump of the light irradiated by the pixel polar zone. Although the amounts of an electron and a hole pair generated in single crystal

silicon with the wavelength of light differ a little when light is irradiated into single crystal silicon, a lot of electron and hole pairs are generated. Supposing a switching transistor is a MOS transistor, one side of this electron and a hole will flow into a drain electrode, and another side will flow into a substrate electrode, consequently it will become leakage current. If this leakage current is large, ON of a switching transistor and the large ratio (it only abbreviates to an ON/OFF ratio hereafter) of the drain current at the time of OFF cannot be taken, but the semiconductor device for light valve substrates with a high contrast ratio will no longer be obtained.

[0006] Moreover, in the pixel section, hundreds of thousands of switching transistors are formed independently respectively. Since the substrate potential of a switching transistor is fixed at this time, when taking substrate potential from the substrate terminal on the outside of the pixel section, since the thickness of the single crystal silicon on an insulating substrate is thin, resistance of a substrate is high and it is difficult to fix the substrate potential of each transistor firmly. Furthermore, when each switching transistor of the pixel section is isolated in the shape of an island, substrate potential cannot be supplied through the interior of a single crystal silicon substrate from the substrate terminal on the outside of the pixel section.

[0007] If substrate potential is not being fixed firmly, when the switching transistor of the pixel section is an MOS transistor, the electron generated in a drain or one carrier of the holes makes unstable the bank and the transistor characteristics which become empty at a substrate. Moreover, since the thickness of the single crystal silicon on the electric insulation matter is thin, there is a trouble which leakage current especially tends to generate with the N-channel MOS transistor.

[0008] To the last, it is the single crystal silicon on the electric insulation matter (SOI:Silicon OnInsulator). What usually has the thickness in the range of about 2 micrometers from several angstroms is used in many cases. It may not operate, if the drive circuit which consists of the complementary-type metal oxide-film semiconductor circuit (it abbreviates to a CMOS circuit hereafter) formed into the usual single crystal silicon is formed in the silicon layer of the thin thickness of a SOI wafer as it is. Since this has a substrate and the resistance too high when the silicon thickness of a SOI wafer is too thin during contact to fix the potential of a location with a silicon substrate when it is going to take substrate potential with the contact electrode of a certain distance detached building \*\*\*\*\* from the location, it is because substrate potential is unfixable firmly.

[0009] This invention aims at solving about immobilization of the five above mentioned troubles, i.e., the power consumption of a drive circuit, the leakage current of the switching transistor by light, and the substrate potential of a switching transistor, and actuation of the drive circuit formed on the semiconductor silicon single crystal film on the electric insulation matter.

[0010]

[Means for Solving the Problem] This invention is \*\*\*\*\* about the means shown below in order to solve the technical problem mentioned above.

(1) The drive circuit which carries out selection actuation of the switching transistor of the pixel section consists of a CMOS circuit at least.

(2) The thickness of the single-crystal-silicon layer of the field in which the switching transistor of the pixel section is formed is thinner than the thickness of the single-crystal-silicon layer of the field in which the drive circuit is formed.

[0011] (3) Metal wiring arranged in order for the switching transistor of the pixel section to prepare the high-concentration impurity same type as a substrate near the \*\*\*\* of the switching transistor of the pixel section which consists of (4) MOS transistors currently formed of the P-channel MOS transistor and to supply the substrate potential from a drive circuit is electrically connected to the high concentration impurity range.

[0012] (5) The source of the N-channel MOS transistor and the low section of a drain are separated from the electric insulation matter among the CMOS circuits which form the drive circuit.

(6) The low section of the field oxide for isolation in P well which consists of the P type impurity with which the N-channel MOS transistor is formed among the CMOS circuits which form the drive circuit is separated from the electric insulation matter.

[0013] (7) In the drive circuit section which consists of a CMOS circuit, the thickness of the single-crystal-silicon layer of the field in which the N-channel MOS transistor is formed is thicker than the thickness of the single-crystal-silicon layer of the field in which the P-channel MOS transistor is formed.

[0014]

[Function] With the above mentioned means, the semiconductor device for light valve substrates of this invention has little power consumption of the drive circuit, and moreover there is little leakage current of the N-channel MOS transistor, and substrate potential can be fixed, and stable actuation is attained. Moreover, the switching transistor of the pixel section of the semiconductor device of this invention has the outstanding property to which there is little leakage current also when [ both / an optical exposure and ] not irradiating \*\*\*\*, and the substrate potential of the field in which the transistor is formed is being fixed to stability, and stable high actuation of an ON/OFF ratio is attained.

[0015]

[Example] Drawing 2 is the perspective view showing the configuration of the semiconductor device for light valve substrates which is active-matrix mold equipment. The silicon oxide (SiO<sub>2</sub> film) whose 21 is an electric insulation substrate, and 22 are the semi-conductor single-crystal-silicon film on the electric insulation substrate 21. 23 is a drive electrode for driving each pixel, and opaque single crystal silicon does not remain in the bottom of this drive electrode 23. 24 is a switching transistor for performing selection electric supply to the drive electrode of each pixel. In drawing 2, this switching transistor consists of the electric field effect mold MOS transistor. 25 shows the signal line connected with the drain electrode of each switching transistor 24. 26 shows the scanning line connected with the gate electrode of each switching transistor 24. X driver with which 27 gives a signal to each signal line 25, and 28 show Y driver who gives a signal to each scanning line 26. The drive electrode 23 of each pixel, a switching transistor 24, a signal line 25, the scanning line 26, the X driver 27, and the Y driver 28 are formed on the semi-conductor single-crystal-silicon film 22 through the inside of the semi-conductor single-crystal-silicon film 22, or an insulator layer.

[0016] As for the semiconductor device of this invention, the X driver 27 and the Y driver 28 which are shown in drawing 2 are characterized by consisting of a CMOS circuit. In the N-channel MOS transistor single or the P-channel MOS transistor single circuit, the power consumption of a dc component is large, and compared with these, there is little power consumption at the time of quiescence, and it can realize the semiconductor device for light valve substrates of a low power by the CMOS circuit.

[0017] The drive circuit of this invention may consist of the so-called BiCMOS circuit where the bipolar circuit joined the CMOS circuit further that what is necessary is just to consist of CMOS circuits fundamentally. Drawing 3 shows the sectional view of the switching transistor of the pixel section. 31 is SiO<sub>2</sub> with a thickness of about 1 micron which is the electric insulation matter. The film and 32 are SiO<sub>2</sub> which is the electric insulation matter. The semi-conductor single crystal silicon formed in the shape of an island on the film 31, the gate electrode with which the source electrode of the P-channel MOS transistor, a drain electrode, and 35 consist of the polycrystalline silicon film, respectively in 33 and 34, and 36 are SiO<sub>2</sub>. The gate oxide which consists of the film is shown. 37 shown with a broken line expresses the boundary of the depletion layer produced when a negative electrical potential difference is applied to the drain electrode 34 and the gate electrode 35. A depletion layer is produced a top and on the right-hand side of a broken line 37. 38 expresses the electron and hole where 39 and 310 produced incident light in the depletion layer by incident light 38, respectively. The hole 310 generated by light is attained to a drain electrode by the electric field in a depletion layer, and serves as a drain current. On the other hand, although it will reach there if an electron has a substrate electrode in near, when there is nothing, it accumulates near [ boundary 37 ] a depletion layer, and the potential barrier between the source and a substrate is lowered, and the role which pulls out a hole from a source electrode is also kept sure enough. Thus, the electron and hole pair generated in the depletion layer by light will increase leakage current, and will carry out the duty which lowers transistor characteristics, especially an ON/OFF ratio.

[0018] What is necessary is just to make as small as possible the volume of the silicon with which the

transistor is formed, in order to reduce the leakage current by this light. However, when the current value of a request of a transistor is decided, the die length and width of face of a transistor will be decided naturally. In that case, what is necessary will be just to make small thickness of the silicon of the field where the transistor is formed for making the volume of silicon small. Namely, what is necessary is just to make as small as possible thickness  $t_s$  of the silicon shown in drawing 3.

[0019] Drawing 4 shows the drain current at the time of the exposure of light, and OFF, and the relation of gate voltage. The continuous line shows [ the broken line ] the property at the time of Light OFF at the time of an optical exposure. If gate voltage becomes a sufficiently large value and a sufficiently large current comes to flow to the channel of a transistor, the current value at the time of the exposure of light and OFF comes to be in agreement. Here, optical leakage current is made into the drain current  $i_{ol}$  at the time of an optical exposure in case gate voltage  $V_g$  is zero.

[0020] Drawing 5 shows the measurement result of the optical leakage current  $i_{ol}$  and the silicon thickness  $t_s$  when irradiating the light of the same reinforcement, when the silicon thickness with the same die length and width of face of an MOS transistor is changed. Optical leakage current decreases, so that it may be expected and the thickness  $t_s$  of silicon is thin. Drawing 6 is cross-section structural drawing of the die-length direction of the N-channel MOS transistor formed into the single crystal silicon of the electric insulation matter. Field oxide for the source with which P well to which 61 changes from a P type impurity, and 62 consist of gate oxide, the gate electrode with which 63 consists of the polycrystalline silicon film, and the N type impurity of high concentration [ 65 / 64 and ], respectively, a drain, and 66 to perform the silicon oxide ( $\text{SiO}_2$  film) of the substrate of 1000Å - 1 micrometer of thickness numbers, and for 67 perform separation between transistors, and 68 show the silicon oxide for performing electric separation of metal wiring (not shown in drawing) and the gate electrode 63.

[0021] In drawing 6, a single-crystal-silicon layer consists of P well, the source 64, and the drain 65 which consist of a P type impurity. If the thickness of this single-crystal-silicon layer is thin as shown in drawing 6, the base of the source 64 and a drain 65 is in contact with the silicon oxide 66 of a substrate. Similarly, the base of field oxide 67 is also in contact with the silicon oxide 66 of a substrate.

[0022] Usually, as for the boron which forms P wells, on the boundary of single crystal silicon and silicon oxide, boron concentration becomes very thin from the segregation of boron at a single-crystal-silicon side. If the source 64 and a drain 65 are in contact with substrate silicon oxide 66 -- P -- P in the boundary 69 of a well and substrate silicon oxide -- since the concentration of the boron which forms the well is very thin, the boundary 69 serves as a new parasitism channel, and, as a result, leakage current occurs.

[0023] Drawing 7 is cross-section structural drawing of the cross direction of the N-channel MOS transistor formed into the single crystal silicon of the electric insulation matter. Cross-section structural drawing of drawing 7 is vertical cross-section structural drawing to cross-section structural drawing of drawing 6. P well to which 71 changes from a P type impurity, the polycrystalline silicon film with which in 72 gate oxide and 74 serve as field oxide, and, as for 75, the silicon oxide ( $\text{SiO}_2$  film) of the substrate of 1000Å - 1 micrometer of thickness numbers and 73 serve as a gate electrode, and 76 show the silicon oxide for performing electric separation of metal wiring (not shown in drawing), and the gate electrode 75. The source and a drain are in space the front and behind vertical, and the direction of a current is also in space perpendicularly.

[0024] The edge of field oxide 74 is usually formed in the shape of a taper, and the part 77 is called the BAZU beak. A single-crystal-silicon layer with very thin thickness is formed in the bottom of the BAZU beak 77 after formation of field oxide 74. Boron is usually used for the P type impurity which forms a well 71. When single crystal silicon is oxidized, the boron which existed near the silicon front face tends to be full for the inside of silicon oxide rather than it remains into silicon. For this reason, when field oxidization is carried out, most amount of the boron of the part 78 of the single crystal silicon under a BAZU beak will be absorbed in field oxide, and the boron concentration of that part will become quite thin.

[0025] Usually, in the case of an insulated-gate electric field effect mold transistor, the part where a

current flows is called a channel and is directly under gate dielectric film. When the boron concentration of the channel section is high to some extent, as it is, the gate voltage (it abbreviates to  $V_{th}$  hereafter) for making a channel form is also high. When the source 64 and a drain 65 are in contact with the substrate oxide film 66, the part 78 where the boron concentration under a BAZU beak is very low will become a new current path between the source and a drain. And  $V_{th}$  to form the new current path is very low.

[0026] Drawing 8 is the top view of the electric field effect mold insulated gate transistor of N type. The gate where the source consists in 81 and a drain and 83 consist of polycrystalline silicon in 82, and 84 show the field oxide formed on island-like silicon. The low parasitism channel of  $V_{th}$  newly arises to the crosswise both ends of the N type transistor shown by 85 to which boron concentration becomes low under the BAZU beak of field oxide.

[0027] If there is this parasitism channel and gate voltage is raised, before a current flows to the original channel directly under gate dielectric film, a current will begin to flow in the part 85 under a BAZU beak. If this transistor is used as a switching transistor for supplying electric power to a pixel electrode, although the ON/OFF ratio (the current ratio which flows this transistor at the time of the flow of a transistor and un-flowing: ion/ioff) of a transistor needs to take the value of 6 or more figures, when there is a parasitism channel of the part of 85 of drawing 8, it will become the value of about 3-4 figures. Thus, it is not suitable for the switching transistor for the N-channel MOS transistor formed on the thin single-crystal-silicon film on the electric insulation matter having large leakage current, and supplying electric power to a pixel electrode.

[0028] The concentration of the N type impurity (for example, Lynn and an arsenic) which forms N wells in the very thin single-crystal-silicon layer under the BAZU beak which is shown by 78 of drawing 7 in the case of the P-channel MOS transistor formed on the thin single-crystal-silicon film on the electric insulation matter is high in order to remain into single crystal silicon rather than it is crowded for the inside of an oxide film. For this reason,  $V_{th}$  of this field is high and a parasitism channel does not produce the field of the very thin single-crystal-silicon layer under a BAZU beak in the P-channel MOS transistor. Therefore, in this invention, the switching transistor for supplying electric power to a pixel electrode is characterized by adopting the P-channel MOS transistor.

[0029] Drawing 9 is the top view showing the configuration of active-matrix mold equipment. The scanning line with which the single crystal silicon on the electric insulation matter and 92 consist of polycrystalline silicon in 91, A drive electrode for 93 to make each pixel which consists of the polycrystalline silicon whose thickness is hundreds of A drive, The source with which 94 consists of the high-concentration impurity layer in single crystal silicon, the drain with which 95 consists of the same high-concentration impurity layer in single crystal silicon, The contact hole where 96 connects each source 94 and each pixel drive electrode 93, and 97 show the contact hole which connects the signal line which consists of each drain 95 and aluminum.

[0030] Drawing 10 shows the sectional view of the die-length direction of each transistor of the pixel section, i.e., the sectional view of straight-line A-A' of drawing 9. This transistor is an MOS transistor of P type. N wells to which 101 changes from an N type impurity, the gate electrode with which gate oxide and 103 consist of the polycrystalline silicon film in 102, The source and the drain with which 104 and 105 consist of a high-concentration P type impurity, respectively, Field oxide for 106 to perform the silicon oxide of the substrate of a 1000A - several micrometers thickness number, and for 107 perform separation between transistors, The thin polycrystalline silicon film with which 108 connects the source 104 and a pixel drive electrode, The polycrystalline silicon film for gate electrodes in 109, and the silicon oxide for separation of the polycrystalline silicon 108 for pixel drive electrodes, The signal line with which 110 consists of aluminum (aluminum), and 111 show the middle insulator layer for separation of a signal line 110 and the polycrystalline silicon 108 for pixel drive electrodes (silicon oxide).

[0031] The signal line 110 and the drain 105 are connected electrically. In drawing 10, a single-crystal-silicon layer consists of the well 101, the source 104, and the drain 105 which consist of a P type impurity. If the thickness of this single-crystal-silicon layer is thin as shown in drawing 10, the base of the source 104 and a drain 105 is in contact with the silicon oxide 106 of a substrate.



[0032] Here, it is the thickness  $t_s$  of the single crystal silicon on substrate silicon oxide 106. Since it is thin, the bottom of field oxide 107 will touch the substrate oxide film 106. For stable actuation of the transistor of this pixel section, the potential of N wells 101 needs to be fixed firmly. N, since there is no single crystal silicon in the bottom of the field oxide 107 shown in drawing 10 when it is going to make potential of a well 101 the same as the substrate potential of single crystal silicon. Although not illustrated, or since the single crystal silicon under field oxide 107 is very thin, impossible, even if it is going to take substrate potential through the interior from the single crystal substrate from the substrate terminal in the field 27 in which the drive circuit of the outside of the pixel section is formed, i.e., X driver shown by drawing 2, and the Y driver 28 -- or it is next to impossible.

[0033] Drawing 11 is the top view showing an example of the configuration of the active-matrix mold equipment of this invention. The scanning line with which the single crystal silicon on the electric insulation matter and 112 consist of polycrystalline silicon in 111, A drive electrode for 113 to make each pixel which consists of the polycrystalline silicon whose thickness is hundreds of Å drive, The source with which 114 consists of the high-concentration P type impurity layer in single crystal silicon, The drain with which 115 consists of the same high-concentration P type impurity layer in single crystal silicon, The N type impurity layer field of high concentration [ 116 ], the contact hole where 117 connects the source 114 and the pixel drive electrode 113, The contact hole where 118 connects with a drain 105 the signal line which consists of aluminum, and 119 show the contact hole which connects a high-concentration N type impurity layer field and other aluminum which gives touch-down potential.

[0034] Drawing 12 shows the sectional view of the die-length direction of the transistor of the pixel section of the active-matrix mold equipment of this invention, i.e., the sectional view of straight-line B-B' of drawing 11. This transistor is an MOS transistor of P type. N wells to which 121 changes from an N type impurity, the gate electrode with which gate oxide and 123 consist of the polycrystalline silicon film in 122, The source with which 124 consists of a high-concentration P type impurity, the N type impurity layer field of high concentration [ 125 ], Field oxide for 126 to perform the silicon oxide of the substrate of a 1000Å - several micrometers thickness number, and for 127 perform separation between transistors, The thin polycrystalline silicon film with which 128 connects the source 124 and a pixel drive electrode, The polycrystalline silicon film for gate electrodes in 129, and the silicon oxide for separation of the polycrystalline silicon 128 for pixel drive electrodes, Aluminum wire for 1210 to give touch-down potential and 1211 show the middle insulator layer for separation of the aluminum wire 1210 for giving touch-down potential, and the polycrystalline silicon 128 for pixel drive electrodes (silicon oxide).

[0035] The drain field is not drawn in drawing 12. A drain field is in a back side from this drawing. By connecting electrically to the high-concentration N type impurity layer field the aluminum wire 1210 for giving the touch-down potential lengthened from X driver field or Y driver field, the potential of N wells 121 which are in contact with this high-concentration N type impurity layer field is fixed to touch-down potential.

[0036] Drawing 13 shows the sectional view of the die-length direction of the N-channel MOS transistor established into drive \*\*\*\*\* of the semiconductor device for light valve substrates of this invention. Field oxide for the source with which P well to which 131 changes from a P type impurity, and 132 consist of gate oxide, the gate electrode with which 133 consists of the polycrystalline silicon film, and the N type impurity of high concentration [ 135 / 134 and ], respectively, a drain, and 136 to perform the silicon oxide (SiO<sub>2</sub> film) of the substrate of 1000Å - 1 micrometer of thickness numbers, and for 137 perform separation between transistors, and 138 show the silicon oxide for performing electric separation of metal wiring (not shown in drawing) and the gate electrode 133.

[0037] The source 134 and a drain 135 are not in contact with substrate silicon oxide 136 so that clearly from drawing 13. For this reason, in drawing 6, a parasitism channel which is generated on the boundary 69 of P wells 61 which were explained, and substrate silicon oxide 66 is not generated on the boundary 139 of P wells 131 in drawing 13, and substrate silicon oxide.

[0038] Drawing 14 shows the sectional view of the cross direction of the N-channel MOS transistor prepared into drive \*\*\*\*\* of the semiconductor device for light valve substrates of this invention.

Cross-section structural drawing of drawing 14 is vertical cross-section structural drawing to cross-section structural drawing of drawing 13. P well to which 141 changes from a P type impurity, the polycrystalline silicon film with which in 142 gate oxide and 144 serve as field oxide, and, as for 145, the silicon oxide (SiO<sub>2</sub> film) of the substrate of 1000Å - 1 micrometer of thickness numbers and 143 serve as a gate electrode, and 146 show the silicon oxide for performing electric separation of metal wiring (not shown in drawing), and the gate electrode 145. The source and a drain are in space the front and behind vertical, and the direction of a current is also in space perpendicularly.

[0039] The edge of field oxide 144 is usually formed in the shape of a taper, and the part 147 is called the BAZU beak. In the semiconductor device for light valve substrates of this invention, the single-crystal-silicon layer of a certain amount of thickness remains in the bottom of the BAZU beak 147 after formation of field oxide 144. for this reason, directly under [ BAZU beak ] -- P in 148 -- under the oxidization at the time of the concentration of the boron which is the P type impurity which forms the well forming field oxide 144, and directly under [ BAZU beak ] -- 148 -- P of further the bottom -- a well -- directly under [ in / boron is supplied from inside and / drawing 7 / BAZU beak ] -- it is quite higher than the boron concentration in 78. For this reason, in the semiconductor device for light valve substrates of this invention, a parasitism channel which is generated at the crosswise both ends of a transistor which was explained in drawing 7 and drawing 8 is not generated.

[0040] Drawing 1 shows the structure section Fig. of the drive circuit section of the semiconductor device for light valve substrates of this invention, and the pixel section. Right-hand side 1/3 shows the structure section Fig. of the pixel section, and, as for drawing 1, left-hand side 2/3 shows the structure section Fig. of a drive circuit. In drawing 1, 11 shows silicon oxide with a thickness divisor of 1000Å - about 1 micrometer which is the electric insulation matter. P wells to which 12 changes from the P type impurity of thin concentration among semi-conductor single-crystal-silicon film, the drain electrode which consists of the P type impurity of concentration with 13 [ high ], the source electrode with which 14 consists of the same P type impurity of high concentration, the gate electrode with which 15 consists of polycrystalline silicon, and the gate electrode with which 16 consists of silicon oxide are shown, respectively, and the P-channel MOS transistor which turns into a switching transistor of a pixel electrode from these is formed. Thus, by forming the switching transistor of a pixel electrode with the P-channel MOS transistor, it is the thickness t1 of the single-crystal-silicon layer of the transistor section. Since a parasitism channel is not formed but leakage current can, few moreover, form a thin single crystal layer even if it makes it thin, even if light is irradiated by this transistor section, there are few electrons and hole pairs generated within a transistor, and it is possible to suppress small the leakage current produced by optical exposure.

[0041] The signal line 25 currently formed of aluminum 12 is electrically connected to the drain electrode 13 in drawing 1. Moreover, the gate electrode 15 serves also as the scanning line 26 which leads to the pixel section. 17 shows the drive electrode of the pixel section which changes from hundreds-1000Å and the thin polycrystalline silicon film to extent which maintains transparency, and is connected with the source electrode 14 of a switching transistor directly electrically.

[0042] The silicon oxide to which 18 covers the pixel electrode 17, and 19 show the field oxide formed in the boundary of the pixel section and a drive circuit. In drawing 1 in which field oxide 19 has a level difference by the pixel section and drive circuit section side, 1000 is N wells which consist of the N type impurity of the thin concentration of the field which forms the P-channel MOS transistor in a drive circuit. 1001 and 1002 are the drain electrodes and source electrodes which consist of a high-concentration P type impurity, respectively. The gate dielectric film with which 1003 consists of silicon oxide, and 1004 show the gate electrode which consists of the polycrystalline silicon film. The P-channel MOS transistor of the drive circuit section is formed from N wells 1000, the drain electrode 1001, the source electrode 1002, gate dielectric film 1003, and the gate electrode 1014. In drawing 1, 1005 is the field oxide for being in the boundary of the P-channel MOS transistor which is the complementary MOS transistor which constitutes the drive circuit, and the N-channel MOS transistor, and performing electric separation of these two kinds of transistors. It has a level difference like [ this field oxide 1005 ] field oxide 19.

[0043] P wells which consist of the P type impurity of concentration with thin 1006, the source electrode with which 1007 and 1008 consist of a high-concentration N type impurity, respectively and a drain electrode, the gate dielectric film with which 1009 consists of silicon oxide, and 1010 are gate electrodes which consist of polycrystalline silicon. The N-channel MOS transistor of the drive circuit section is formed from these P well 1006, the source electrode 1007, the drain electrode 1008, gate dielectric film 1009, and the gate electrode 1010.

[0044] It sets in this drive circuit section, and is the thickness  $t_3$  of the single crystal silicon of the field of the N-channel MOS transistor. Thickness  $t_2$  of the single crystal silicon of the field of the P-channel MOS transistor It is thick. Thickness  $t_3$  of the single crystal silicon of this drive circuit section The bottom of the source electrode 1007 of the N-channel MOS transistor and the drain electrode 1008 is not in contact with the silicon oxide 11 of a substrate with a large thing. Moreover, in the drive circuit section, the bottom of the field oxide 1005 in the inside of the field, i.e., P wells, in which the N-channel MOS transistor is formed is not in contact with the silicon oxide 11 of a substrate, either. The parasitism channel of the N-channel MOS transistor mentioned above does not occur especially more, but leakage current can be suppressed small.

[0045] 1011 shows the silicon oxide formed for the electrical isolation of the signal line 1012 which consists of the aluminum of the gate electrodes 15, 1004, and 1010 of each transistor, the metal wiring 1013 which consists of the aluminum of the drive circuit section, or the pixel section. The silicon nitride whose 1014 is the passivation film, adhesives with transparent 1015, and 1016 express the transparence glass substrate with a thickness of 500 micrometers - about 1mm. The transparence glass substrate 1016 which turns into a semi-conductor substrate with which the integrated circuit was formed on the electric insulation substrate, and its support substrate with adhesives 1015 is pasted up.

[0046] 1017 expresses the light-shielding film for shading the whole integrated circuit which forms the switching transistor and drive circuit of the pixel section. As a light-shielding film, chromium of 1000Å of thickness numbers is used. Liquid crystal is built into the pixel section bottom although not shown in drawing 1. furthermore, a common electrode \*\*\*\*\* to the side and the opposite side (under a drawing) in which the pixel transistor section of liquid crystal is formed -- having -- between this common electrode and the pixel electrodes 17 -- an electrical potential difference -- in addition, orientation of the liquid crystal is carried out to the sense of hope. Thus, the semiconductor device for light valve substrates of this invention is formed.

[0047] In addition, in drawing 1, although the thickness of the single crystal silicon of three sorts of transistor sections, the N-channel MOS transistor of a drive circuit, the P-channel MOS transistor, and the P-channel MOS transistor that is a switching transistor of the pixel section, differed, respectively, in the semiconductor device for light valve substrates of this invention, the thickness of the single crystal silicon of the P-channel MOS transistor section which are the P-channel MOS transistor of the drive circuit section and the switching transistor of the pixel section may be the same. Of course, the thickness of the single crystal silicon of the N-channel MOS transistor section of the drive circuit section is thicker than the thickness of the single crystal silicon of the P-channel MOS transistor section of both the drive circuit section and the pixel section then.

[0048]

[Effect of the Invention] As mentioned above, as explained to the detail, the semiconductor device for light valve substrates of this invention has the small power consumption of the integrated circuit of the drive circuit section, there is no leakage current by the parasitism channel of the switching transistor of the pixel section, moreover, there is little optical leakage current by optical exposure, and the N-channel MOS transistor also has the outstanding property with little leakage current by the parasitism channel as well as the P type transistor of the drive circuit section further.

---

[Translation done.]

(11)特許出願公開番号

特開平5-313195

(43)公開日 平成5年(1993)11月26日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
H 0 1 L 27/092				
27/12	Z			
		9054-4M	H 0 1 L 27/ 08	3 2 1 M
		9056-4M	29/ 78	3 1 1 C
審査請求 未請求 請求項の数 6 (全 10 頁) 最終頁に続く				

(21)出願番号 特願平4-120699

(22)出願日 平成4年(1992)5月13日

(71)出願人 000002325

セイコー電子工業株式会社  
東京都江東区亀戸6丁目31番1号

(72)発明者 高橋 邦博

東京都江東区亀戸6丁目31番1号 セイコ  
一電子工業株式会社内

(72)発明者 小島 芳和

東京都江東区亀戸6丁目31番1号 セイコ  
一電子工業株式会社内

(72)発明者 鷹巢 博昭

東京都江東区亀戸6丁目31番1号 セイコ  
一電子工業株式会社内

(74)代理人 弁理士 林 敬之助

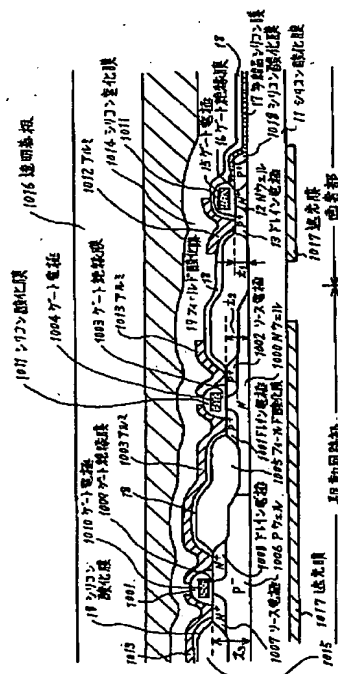
[最終頁に続く](#)

(54)【発明の名称】 半導体装置

(57) 【要約】

【目的】 本発明は、画素電極群を選択給電するためのスイッチングトランジスタと駆動回路を電気的絶縁基板上の単結晶シリコン上に形成したアクティブマトリクス型装置において、駆動回路の消費電力を低減し、スイッチングトランジスタのリーク電流を減少し、かつ駆動回路を形成するP型MOSトランジスタとN型MOSトランジスタの両方のリーク電流を減少させることを目的とする。

【構成】 駆動回路はCMOS回路から形成され、かつスイッチングトランジスタが形成される領域のシリコン層の厚みを駆動回路が形成される領域のシリコン層の厚みより薄くしたことを特徴とする。



## 【特許請求の範囲】

【請求項1】 電気絶縁性物質上にある半導体シリコン単結晶膜上に、画素電極群に対して選択給電を行うスイッチ素子群と前記スイッチ素子群を選択動作させる駆動回路素子群が形成された光弁基板用半導体装置において、前記駆動回路素子群は、少なくとも相補型MOSトランジスタ集積回路から形成され、かつ画素電極群に対して選択給電を行うスイッチ素子群が形成される領域の半導体単結晶シリコン層の厚みは、駆動回路素子群が形成される領域の半導体単結晶シリコン層の厚みより薄いことを特徴とする光弁基板用半導体装置。

【請求項2】 画素電極群に対して選択給電を行うスイッチ素子群は、P型の絶縁ゲート電界効果型トランジスタであることを特徴とする請求項1記載の光弁基板用半導体装置。

【請求項3】 画素電極群に対し、選択給電を行うスイッチ素子の極く近傍に、基板と同じタイプの高濃度の不純物領域が設けられていることを特徴とする請求項1または2記載の光弁基板用半導体装置。

【請求項4】 少なくとも相補型MOSトランジスタ集積回路から形成されている駆動回路は、前記駆動回路の内のN型MOSトランジスタのソース電極及びドレイン電極の底が、電気絶縁性物質から離れていることを特徴とする請求項1、2または3何れか記載の光弁基板用半導体装置。

【請求項5】 少なくとも相補型MOSトランジスタ集積回路から形成されている駆動回路は、前記駆動回路の内のN型MOSトランジスタが形成されている領域であるP型不純物領域即ちPウェル領域内にあるフィールド酸化膜の底が、電気絶縁性物質から離れていることを特徴とする請求項1、2、3または4何れか記載の光弁基板用半導体装置

【請求項6】 電気絶縁性物質上にある半導体シリコン単結晶膜上に、画素電極群に対して選択給電を行うスイッチ素子群と前記スイッチ素子群を選択動作させる駆動回路素子群が形成された光弁基板用半導体装置において、前記駆動回路素子群が形成されている領域において、N型MOSトランジスタが形成されている領域の単結晶シリコンの厚みが、P型MOSトランジスタが形成されている領域の単結晶シリコンの厚みより厚いことを特徴とする請求項1、2、3、4または5何れか記載の光弁基板用半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は直視型表示装置や投影型表示装置等に用いられる平板型光弁の駆動用基板装置に関する。より詳しくは、電気絶縁性物質上にある半導体シリコン単結晶膜上に画素電極群、スイッチ素子群、及び駆動回路素子群が形成された半導体集積回路基板装置に関する。この基板装置は例えば液晶パネルに一体的に

組み込まれ、いわゆるアクティブマトリックス装置を構成する。

## 【0002】

【従来の技術】 従来、アクティブマトリックス装置は、電気絶縁性物質、例えば透明ガラス基板又は透明石英基板上に、アモルファスシリコンあるいは多結晶シリコンを形成し、更にその上に画素電極群、スイッチ素子群、及び駆動回路素子群の一部又は全てを形成することにより作られていた。しかし、電気絶縁性物質上にある半導体シリコン単結晶膜上に前記画素電極群、スイッチ素子群、及び駆動回路素子群の全てを形成する試みは成されていなかった。

## 【0003】

【発明が解決しようとする課題】 本発明が解決しようとする問題点は5つある。1つは駆動回路の消費電力、2つめは光による画素部のスイッチングトランジスタのリーク電流、3つめは画素部のスイッチングトランジスタの基板電位の固定、4つめは絶縁基板上の単結晶シリコンウエハ（以後、SOIウエハと呼ぶ）に特有のN型MOSトランジスタのリーク電流、5つめは電気絶縁性物質上にある半導体シリコン単結晶膜上に形成された駆動回路の動作についてである。

【0004】 駆動回路と画素部スイッチングトランジスタを一体の単結晶シリコン上に形成する場合の最大の長所は多結晶シリコンやアモルファスシリコン上に形成する場合に比べて、トランジスタの移動度が高い事による高速性にあると言って良い。後述するように、電気絶縁性基板上にある薄い半導体シリコン単結晶上にMOSトランジスタを形成する場合、N型MOSトランジスタはリーク電流を発生しやすい。このため、駆動回路も画素部のスイッチングトランジスタもP型MOSトランジスタ単独で作ることが考えられる。しかし、この場合、駆動回路の直流成分による消費電力が大きくなる。

【0005】 液晶を利用した光弁基板用半導体装置においては、画素電極群に形成されている領域に液晶を介して光を照射する。通常、画素電極群に選択給電するための各々のスイッチングトランジスタは、対応する各画素電極に極く近接した箇所に形成されている。このため、各々のスイッチングトランジスタのある領域のみの遮光を試みようとしても、画素電極部に照射される光の回り込みを受け、いくらかの光がスイッチングトランジスタ領域にも入射してしまう。単結晶シリコン中に光が照射されると、光の波長によって単結晶シリコン中に発生する電子・ホール対の量はいく分異なるが、大量の電子・ホール対が発生する。スイッチングトランジスタがMOS型トランジスタであるとする、この電子とホール的一方がドレイン電極に、他方が基板電極に流れ込み、その結果、リーク電流となる。このリーク電流が大きいと、スイッチングトランジスタのONとOFF時のドレイン電流の比（以下、単にON/OFF比と略す）が大

きくとれず、高いコントラスト比のある光弁基板用半導体装置が得られなくなる。

【0006】又、画素部では数十万個のスイッチングトランジスタが各々独立に形成される。この時、スイッチングトランジスタの基板電位を固定するために、画素部の外側にある基板端子から基板電位をとる場合、絶縁基板上の単結晶シリコンの厚みが薄いため、基板の抵抗が高く、各トランジスタの基板電位をしっかりと固定することは難しい。更に、画素部の各スイッチングトランジスタが島状に孤立している場合には、画素部の外側にある

基板端子から単結晶シリコン基板内部を通して基板電位を供給することはできない。

【0007】基板電位がしっかりと固定されていないと、画素部のスイッチングトランジスタがMOSトランジスタである場合、ドレインにおいて発生する電子又はホール

の何れか一方のキャリアが基板にたまりやすく、トランジスタ特性を不安定にする。又、電気絶縁物質上の単結晶シリコンの厚みが薄いため、特にN型MOSトランジスタではリーク電流が発生しやすい問題点がある。

【0008】最後に、電気絶縁物質上の単結晶シリコン (SOI: Silicon On Insulator) は、その厚みが通常、数Åから2μm位の範囲にあるものが使用される事が多い。通常の単結晶シリコン中に形成される相補型メタル酸化膜半導体回路 (以下、CMOS回路と略す) から成る駆動回路をそのままSOIウェハの薄い膜厚のシリコン層に形成すると動作しないことがある。これは、SOIウェハのシリコン厚みが薄過ぎると、シリコン基板のある位置の電位を固定したい時、その位置からある距離離れた位置のコンタクト電極で基板電位をとろうとすると、基板とコンタクト間の抵抗が高過ぎるために、基板電位をしっかりと固定できないためである。

【0009】本発明は前記した5つの問題点、即ち、駆動回路の消費電力、光によるスイッチングトランジスタのリーク電流、スイッチングトランジスタの基板電位の固定、及び電気絶縁性物質上にある半導体シリコン単結晶膜上に形成された駆動回路の動作について解決することを目的としたものである。

#### 【0010】

【課題を解決するための手段】本発明は前述した課題を解決するために、以下に示す手段を構ずる。

(1) 画素部のスイッチングトランジスタを選択動作させる駆動回路は、少なくともCMOS回路から成る。

(2) 画素部のスイッチングトランジスタが形成されている領域の単結晶シリコン層の厚みは、駆動回路が形成されている領域の単結晶シリコン層の厚みより薄い。

【0011】(3) 画素部のスイッチングトランジスタはP型MOSトランジスタにより形成されている

(4) MOSトランジスタから成る画素部のスイッチングトランジスタの極く近傍に基板と同じタイプの高濃度

の不純物を設け、かつ駆動回路からの基板電位を供給するために配置された金属配線は、その高濃度不純物領域に電気的に接続されている。

【0012】(5) 駆動回路を形成しているCMOS回路の内、N型MOSトランジスタのソース及びドレインの低部は電気絶縁性物質から離れている。

(6) 駆動回路を形成しているCMOS回路の内、N型MOSトランジスタが形成されているP型不純物から成るPウェル内にある素子分離用のフィールド酸化膜の低部は、電気絶縁性物質から離れている。

【0013】(7) CMOS回路から成る駆動回路部において、N型MOSトランジスタが形成されている領域の単結晶シリコン層の厚みは、P型MOSトランジスタが形成されている領域の単結晶シリコン層の厚みより厚い。

#### 【0014】

【作用】前記した手段により、本発明の光弁基板用半導体装置は、その駆動回路の消費電力が少なく、しかもN型MOSトランジスタのリーク電流が少なく、かつ基板電位を固定することができ、安定な動作が可能になる。又、本発明の半導体装置の画素部のスイッチングトランジスタは、光照射時も又光を照射しない時も共にリーク電流が少なく、かつトランジスタが形成されている領域の基板電位が安定に固定されており、かつON/OFF比の高い安定な動作が可能になる優れた特性を有する。

#### 【0015】

【実施例】図2は、アクティブマトリックス型装置である光弁基板用半導体装置の構成を示す斜視図である。21は電気絶縁性基板であるシリコン酸化膜 (SiO<sub>2</sub>膜)、22は電気絶縁性基板21の上にある半導体単結晶シリコン膜である。23は各画素を駆動するための駆動電極であり、この駆動電極23の下には不透明な単結晶シリコンは残っていない。24は各画素の駆動電極に選択給電を行うためのスイッチングトランジスタである。図2では、このスイッチングトランジスタは電界効果型MOSトランジスタから成っている。25は各スイッチングトランジスタ24のドレイン電極につながる信号線を示す。26は各スイッチングトランジスタ24のゲート電極につながる走査線を示す。27は各信号線25に信号を与えるXドライバー、28は各走査線26に信号を与えるYドライバーを示している。各画素の駆動電極23、スイッチングトランジスタ24、信号線25、走査線26、Xドライバー27、Yドライバー28は、半導体単結晶シリコン膜22の中や絶縁膜を介して半導体単結晶シリコン膜22の上に形成される。

【0016】本発明の半導体装置は図2に示すXドライバー27及びYドライバー28がCMOS回路から成ることを特徴とする。N型MOSトランジスタ単一、又はP型MOSトランジスタ単一回路では直流成分の消費電力が大きく、これらに比べ、CMOS回路では静止時の

消費電力が少なく、低消費電力の光弁基板用半導体装置を実現できる。

【0017】本発明の駆動回路は基本的にCMOS回路から構成されていれば良く、CMOS回路に更にバイポーラ回路が加わった、いわゆるBi-CMOS回路から成っていても良い。図3は、画素部のスイッチングトランジスタの断面図を示す。31は電気絶縁性物質である厚さ約1ミクロンの $\text{SiO}_2$ 膜、32は電気絶縁性物質である $\text{SiO}_2$ 膜31上に島状に形成された半導体単結晶シリコン、33と34はそれぞれP型MOSトランジスタのソース電極とドレイン電極、35は多結晶シリコン膜から成るゲート電極、36は $\text{SiO}_2$ 膜から成るゲート酸化膜を示している。破線で示す37はドレイン電極34とゲート電極35に負の電圧を加えた時に生じる空乏層の境界を表している。空乏層は破線37の上側及び右側に生ずる。38は入射光を、39と310はそれぞれ入射光38によって空乏層内に生じた電子とホールを表している。光によって発生したホール310は空乏層内の電界によりドレイン電極へ達し、ドレイン電流となる。一方、電子は基板電極が近くにあれば、そこに達するが、ない場合には空乏層の境界37付近に蓄積し、ソース・基板間の電位障壁を低め、ソース電極からホールを引き出す役割も果たしてしまう。このように、光により空乏層内に発生した電子・ホール対はリーク電流を増大させ、トランジスタ特性、特にON/OFF比を低める役目をしてしまう。

【0018】この光によるリーク電流を低減するには、トランジスタが形成されているシリコンの体積をできるだけ小さくすれば良い。しかし、トランジスタの所望の電流値が決められている時、トランジスタの長さや幅は自ずと決められてしまう。その場合、シリコンの体積を小さくするにはトランジスタが形成されている領域のシリコンの厚みを小さくすれば良いことになる。即ち、図3に示すシリコンの厚み $t_s$ をできるだけ小さくすれば良い。

【0019】図4は、光の照射時とOFF時のドレイン電流とゲート電圧の関係を示す。破線が光照射時、実線が光OFF時の特性を示している。ゲート電圧が十分大きい値になり、トランジスタのチャネルに十分大きい電流が流れるようになると、光の照射時とOFF時の電流値は一致するようになる。ここで、光リーク電流はゲート電圧 $V_g$ がゼロの時の光照射時のドレイン電流 $i_{o1}$ とする。

【0020】図5は、同一の長さを持つMOSトランジスタのシリコン厚みを変えた時、同一強度の光を照射した時の光リーク電流 $i_{o1}$ とシリコン厚み $t_s$ の測定結果を示している。予想されるように、シリコンの厚み $t_s$ が薄いほど、光リーク電流は少なくなる。図6は、電気絶縁性物質の単結晶シリコン中に、形成されたN型MOSトランジスタの長さ方向の断面構造図である。6

1はP型不純物から成るPウェル、62はゲート酸化膜、63は多結晶シリコン膜から成るゲート電極、64と65はそれぞれ高濃度のN型不純物から成るソースとドレイン、66は厚み数千Å $\sim$ 1 $\mu\text{m}$ の下地のシリコン酸化膜( $\text{SiO}_2$ 膜)、67はトランジスタ間の分離を行うためのフィールド酸化膜、68は、金属配線(図には示していない)とゲート電極63の電気的な分離を行うためのシリコン酸化膜を示している。

【0021】図6において、単結晶シリコン層はP型不純物から成るPウェルとソース64及びドレイン65から成る。図6に示すように、この単結晶シリコン層の厚みが薄いと、ソース64とドレイン65の底面は、下地のシリコン酸化膜66に接している。同様に、フィールド酸化膜67の底面も下地のシリコン酸化膜66に接している。

【0022】通常、Pウェルを形成しているボロンは単結晶シリコンとシリコン酸化膜の境界において、ボロンの偏析から単結晶シリコン側において、ボロン濃度が非常に薄くなる。ソース64とドレイン65が下地シリコン酸化膜66に接していると、Pウェルと下地シリコン酸化膜の境界69におけるPウェルを形成しているボロンの濃度が非常に薄いため、その境界69が新たな寄生チャネルとなり、その結果リーク電流が発生する。

【0023】図7は、電気絶縁性物質の単結晶シリコン中に、形成されたN型MOSトランジスタの幅方向の断面構造図である。図7の断面構造図は、図6の断面構造図に対して垂直方向の断面構造図である。71はP型不純物から成るPウェル、72は厚み数千Å $\sim$ 1 $\mu\text{m}$ の下地のシリコン酸化膜( $\text{SiO}_2$ 膜)、73はゲート酸化膜、74はフィールド酸化膜、75はゲート電極を兼ねる多結晶シリコン膜、76は、金属配線(図には示していない)とゲート電極75の電気的な分離を行うためのシリコン酸化膜を示している。ソースとドレインは、紙面に垂直方向の前方と後方にあり、電流の方向も紙面に垂直方向にある。

【0024】フィールド酸化膜74の端部は通常テーパー状に形成され、その箇所77はバースピークと呼ばれている。フィールド酸化膜74の形成後、バースピーク77の下に非常に厚みの薄い単結晶シリコン層が形成される。ウェル71を形成するP型不純物には、通常ボロンが使われる。単結晶シリコンを酸化した時、シリコン表面近傍に存在していたボロンは、シリコン中に残りよりシリコン酸化膜中にとりこまれ易い。このため、フィールド酸化をした時、バースピーク下の単結晶シリコンの箇所78のボロンのかなりの量がフィールド酸化膜中に吸収されてしまい、その箇所のボロン濃度はかなり薄くなってしまう。

【0025】通常、絶縁ゲート電界効果型トランジスタの場合、電流の流れる箇所はチャネルと呼ばれ、ゲート絶縁膜直下にある。チャネル部のボロン濃度がある程度

10

20

30

40

50

高いと、チャネルを形成させるためのゲート電圧（以下、 $V_{th}$ と略す）もそれなりに高い。ソース64とドレイン65が下地酸化膜66に接しているような場合、バースピーク下のボロン濃度が非常に低い箇所78は、ソースとドレイン間の新たな電流通路になってしまう。しかも、その新たな電流通路が形成されるための $V_{th}$ は非常に低くなっている。

【0026】図8は、N型の電界効果型絶縁ゲートトランジスタの平面図である。81はソース、82はドレイン、83は多結晶シリコンから成るゲート、84は島状シリコン上に形成されたフィールド酸化膜を示す。フィールド酸化膜のバースピーク下でボロン濃度が低くなる85で示すN型トランジスタの幅方向両端に新たに $V_{th}$ の低い寄生チャネルが生じる。

【0027】この寄生チャネルがあると、ゲート電圧を上げていくと、ゲート絶縁膜直下の本来のチャネルに電流が流れる前にバースピーク下の箇所85で電流が流れ始めてしまう。このトランジスタを画素電極に給電するためのスイッチングトランジスタとして使用すると、トランジスタのON/OFF比（トランジスタの導通時と非導通時のこのトランジスタを流れる電流比： $i_{on}/i_{off}$ ）は例えば6桁以上の値をとる必要があるのに、図8の85の箇所の寄生チャネルがあることにより、3〜4桁程度の値になってしまう。このように、電気絶縁性物質上の薄い単結晶シリコン膜上に形成されたN型MOSトランジスタはリーク電流が大きく、画素電極に給電するためのスイッチングトランジスタには適していない。

【0028】電気絶縁性物質上の薄い単結晶シリコン膜上に形成されたP型MOSトランジスタの場合、図7の78で示すバースピーク下の非常に薄い単結晶シリコン層において、Nウェルを形成しているN型不純物（例えばリンやヒ素）は酸化膜中にとりこまれるよりは、むしろ単結晶シリコン中に残るため、その濃度は高い。このため、この領域の $V_{th}$ は高く、P型MOSトランジスタにおいては、バースピーク下の非常に薄い単結晶シリコン層の領域は寄生チャネルが生じない。故に、本発明において、画素電極に給電するためのスイッチングトランジスタはP型MOSトランジスタを採用することを特徴とする。

【0029】図9は、アクティブマトリックス型装置の構成を示す平面図である。91は電気絶縁性物質上の単結晶シリコン、92は多結晶シリコンから成る走査線、93は厚みが数百Åの多結晶シリコンから成る各画素を駆動させるための駆動電極、94は単結晶シリコン中の高濃度の不純物層から成るソース、95は同じく単結晶シリコン中の高濃度の不純物層から成るドレイン、96は各ソース94と各画素駆動電極93をつなぐコンタクト穴、97は各ドレイン95とアルミから成る信号線を接続するコンタクト穴を示している。

【0030】図10は、画素部の各トランジスタの長さ方向の断面図、即ち図9の直線A-A'の断面図を示している。このトランジスタはP型のMOSトランジスタである。101はN型不純物から成るNウェル、102はゲート酸化膜、103は多結晶シリコン膜から成るゲート電極、104と105はそれぞれ高濃度のP型不純物から成るソースとドレイン、106は厚み数千Å〜数μmの下地のシリコン酸化膜、107はトランジスタ間の分離を行うためのフィールド酸化膜、108はソース104と画素駆動電極をつなぐ薄い多結晶シリコン膜、109はゲート電極用の多結晶シリコン膜と画素駆動電極用多結晶シリコン108の分離のためのシリコン酸化膜、110はAl（アルミニウム）から成る信号線、111は信号線110と画素駆動電極用多結晶シリコン108の分離のための中間絶縁膜（シリコン酸化膜）を示している。

【0031】信号線110とドレイン105は電氣的に接続されている。図10において、単結晶シリコン層はP型不純物から成るウェル101とソース104及びドレイン105から成る。図10に示すように、この単結晶シリコン層の厚みが薄いと、ソース104とドレイン105の底面は、下地のシリコン酸化膜106に接している。

【0032】ここで、下地シリコン酸化膜106の上の単結晶シリコンの厚み $t_s$ が薄いため、フィールド酸化膜107の底は下地酸化膜106に接してしまう。この画素部のトランジスタの安定な動作のためには、Nウェル101の電位がしっかり固定される必要がある。Nウェル101の電位を単結晶シリコンの基板電位と同じにしようとする場合、図10に示すフィールド酸化膜107の下に単結晶シリコンがないため、あるいは図示していないが、フィールド酸化膜107の下に単結晶シリコンが非常に薄いため、画素部の外側の駆動回路が形成されている領域、即ち、図2で示すXドライバー27またはYドライバー28の中にある基板端子から単結晶基板から内部を通して基板電位をとろうとしても、不可能または不可能に近い。

【0033】図11は、本発明のアクティブマトリックス型装置の構成の一例を示す平面図である。111は電気絶縁性物質上の単結晶シリコン、112は多結晶シリコンから成る走査線、113は厚みが数百Åの多結晶シリコンから成る各画素を駆動させるための駆動電極、114は単結晶シリコン中の高濃度のP型不純物層から成るソース、115は同じく単結晶シリコン中の高濃度のP型不純物層から成るドレイン、116は高濃度のN型不純物層領域、117はソース114と画素駆動電極113をつなぐコンタクト穴、118はドレイン105とアルミから成る信号線を接続するコンタクト穴、119は高濃度のN型不純物層領域と接地電位を与える他のアルミとを接続するコンタクト穴を示している。



【0034】図12は、本発明のアクティブマトリックス型装置の画素部のトランジスタの長さ方向の断面図、即ち、図11の直線B-B'の断面図を示している。このトランジスタはP型のMOSトランジスタである。121はN型不純物から成るNウェル、122はゲート酸化膜、123は多結晶シリコン膜から成るゲート電極、124は高濃度のP型不純物から成るソース、125は高濃度のN型不純物層領域、126は厚み数千Å～数μmの下地のシリコン酸化膜、127はトランジスタ間の分離を行うためのフィールド酸化膜、128はソース124と画素駆動電極をつなぐ薄い多結晶シリコン膜、129はゲート電極用の多結晶シリコン膜と画素駆動電極用多結晶シリコン128の分離のためのシリコン酸化膜、1210は接地電位を与えるためのアルミ線、1211は接地電位を与えるためのアルミ線1210と画素駆動電極用多結晶シリコン128の分離のための中間絶縁膜（シリコン酸化膜）を示している。

【0035】図12においては、ドレイン領域は描かれていない。ドレイン領域はこの図面より奥側にある。Xドライバー領域又はYドライバー領域から引かれた接地電位を与えるためのアルミ線1210が電氣的に高濃度のN型不純物層領域に接続されていることにより、この高濃度のN型不純物層領域に接しているNウェル121の電位は接地電位に固定される。

【0036】図13は、本発明の光弁基板用半導体装置の駆動回路にのちに設けられたN型MOSトランジスタの長さ方向の断面図を示す。131はP型不純物から成るPウェル、132はゲート酸化膜、133は多結晶シリコン膜から成るゲート電極、134と135はそれぞれ高濃度のN型不純物から成るソースとドレイン、136は厚み数千Å～1μmの下地のシリコン酸化膜（SiO<sub>2</sub>膜）、137はトランジスタ間の分離を行うためのフィールド酸化膜、138は、金属配線（図には示していない）とゲート電極133の電氣的な分離を行うためのシリコン酸化膜を示している。

【0037】図13から明らかなように、ソース134とドレイン135は下地シリコン酸化膜136に接していない。このため、図6において、説明したようなPウェル61と下地シリコン酸化膜66の境界69において発生するような寄生チャネルは、図13におけるPウェル131と下地シリコン酸化膜の境界139においては、発生しない。

【0038】図14は、本発明の光弁基板用半導体装置の駆動回路にのちに設けられたN型MOSトランジスタの幅方向の断面図を示す。図14の断面構造図は図13の断面構造図に対して垂直方向の断面構造図である。141はP型不純物から成るPウェル、142は厚み数千Å～1μmの下地のシリコン酸化膜（SiO<sub>2</sub>膜）、143はゲート酸化膜、144はフィールド酸化膜、145はゲート電極を兼ねる多結晶シリコン膜、146は、

金属配線（図には示していない）とゲート電極145の電氣的な分離を行うためのシリコン酸化膜を示している。ソースとドレインは、紙面に垂直方向の前方と後方にあり、電流の方向も紙面に垂直方向にある。

【0039】フィールド酸化膜144の端部は通常テーパー状に形成され、その箇所147はバースピークと呼ばれている。本発明の光弁基板用半導体装置においては、フィールド酸化膜144の形成後、バースピーク147の下に、ある程度の厚みの単結晶シリコン層が残っている。このため、バースピーク直下148におけるPウェルを形成しているP型不純物であるボロンの濃度は、フィールド酸化膜144を形成する際の酸化中、バースピーク直下148より更に下側のPウェル内からボロンが供給され、図7におけるバースピーク直下78におけるボロン濃度よりかなり高い。このため、本発明の光弁基板用半導体装置においては、図7及び図8において説明したようなトランジスタの幅方向両端部で発生するような寄生チャネルは発生しない。

【0040】図1は、本発明の光弁基板用半導体装置の駆動回路部及び画素部の構造断面図を示している。図1は、右側1/3が画素部の構造断面図を、左側2/3が駆動回路の構造断面図を示している。図1において、11は電気絶縁性物質である厚み約数千Å～1μm程度のシリコン酸化膜を示している。12は半導体単結晶シリコン膜のうち、薄い濃度のP型不純物から成るPウェル、13は高い濃度のP型不純物から成るドレイン電極、14は同じく高い濃度のP型不純物から成るソース電極、15は多結晶シリコンから成るゲート電極、16はシリコン酸化膜から成るゲート電極をそれぞれ示し、これらから画素電極のスイッチングトランジスタとなるP型MOSトランジスタが形成されている。このように画素電極のスイッチングトランジスタをP型MOSトランジスタで形成することにより、トランジスタ部の単結晶シリコン層の厚み $t_1$ を薄くしても、寄生チャネルが形成されず、リーク電流は少なく、しかも薄い単結晶層を形成できることから、光がこのトランジスタ部に照射されても、トランジスタ内で発生する電子・ホール対は少なく、光照射により生じるリーク電流を小さく抑えることが可能である。

【0041】図1におけるドレイン電極13には、アルミ12により形成されている信号線25が電氣的に接続されている。又、ゲート電極15は画素部に通じる走査線26をも兼ねている。17は透明を保つ程度に、数百～1000Åと薄い多結晶シリコン膜から成る画素部の駆動電極を示し、スイッチングトランジスタのソース電極14と直接電氣的に接続されている。

【0042】18は画素電極17を被うシリコン酸化膜、19は画素部と駆動回路の境界に形成されたフィールド酸化膜を示している。フィールド酸化膜19は画素部側と駆動回路部側とで段差がある

図1において、1000は駆動回路におけるP型MOSトランジスタを形成している領域の薄い濃度のN型不純物から成るNウェルである。1001と1002はそれぞれ高濃度のP型不純物から成るドレイン電極とソース電極である。1003はシリコン酸化膜から成るゲート絶縁膜、1004は多結晶シリコン膜から成るゲート電極を示している。駆動回路部のP型MOSトランジスタは、Nウェル1000、ドレイン電極1001、ソース電極1002、ゲート絶縁膜1003、ゲート電極1014から形成されている。図1において、1005は駆動回路を構成している相補型MOSトランジスタであるP型MOSトランジスタとN型MOSトランジスタの境界にあり、それら2種類のトランジスタの電気的な分離を行うためのフィールド酸化膜である。このフィールド酸化膜1005もフィールド酸化膜19と同様に段差を持っている。

【0043】1006は薄い濃度のP型不純物から成るPウェル、1007と1008はそれぞれ高濃度のN型不純物から成るソース電極とドレイン電極、1009はシリコン酸化膜から成るゲート絶縁膜、1010は多結晶シリコンから成るゲート電極である。これらPウェル1006、ソース電極1007、ドレイン電極1008、ゲート絶縁膜1009、ゲート電極1010から駆動回路部のN型MOSトランジスタが形成される。

【0044】この駆動回路部において、N型MOSトランジスタの領域の単結晶シリコンの厚み $t_3$ はP型MOSトランジスタの領域の単結晶シリコンの厚み $t_2$ より厚い。この駆動回路部の単結晶シリコンの厚み $t_3$ が大きいことにより、N型MOSトランジスタのソース電極1007とドレイン電極1008の底は、下地のシリコン酸化膜11に接していない。又、駆動回路部において、N型MOSトランジスタが形成されている領域即ちPウェルの内にあるフィールド酸化膜1005の底も下地のシリコン酸化膜11に接していない。ことにより、前述したN型MOSトランジスタの寄生チャネルが発生せず、リーク電流を小さく抑えられる。

【0045】1011は各トランジスタのゲート電極15、1004、1010と駆動回路部のアルミから成る金属配線1013あるいは画素部のアルミから成る信号線1012の電気的分離のために形成されたシリコン酸化膜を示している。1014はパッシベーション膜であるシリコン窒化膜、1015は透明な接着剤、1016は厚み $500\mu\text{m}\sim 1\text{mm}$ 程度の透明ガラス基板を表している。接着剤1015により、電気絶縁性基板上に集積回路が形成された半導体基板とその支持基板となる透明ガラス基板1016を接着している。

【0046】1017は画素部のスイッチングトランジスタ及び駆動回路を形成している集積回路全体を遮光するための遮光膜を表している。遮光膜としては例えば厚み数千Åのクロムが使用される。図1には示していない

が、画素部の下側に液晶が組み込まれる。更に液晶の、画素トランジスタ部が形成されている側と反対側(図面の下側)に共通電極が形成され、この共通電極と画素電極17との間に電圧を加えて、液晶を希望の向きに配向させる。このようにして、本発明の光弁基板用半導体装置が形成される。

【0047】なお、図1においては、駆動回路のN型MOSトランジスタ、P型MOSトランジスタ、画素部のスイッチングトランジスタであるP型MOSトランジスタの3種のトランジスタ部の単結晶シリコンの厚みはそれぞれ異なっていたが、本発明の光弁基板用半導体装置においては、駆動回路部のP型MOSトランジスタと画素部のスイッチングトランジスタであるP型MOSトランジスタ部の単結晶シリコンの厚みは同じであっても良い。その時、勿論駆動回路部のN型MOSトランジスタ部の単結晶シリコンの厚みは、駆動回路部及び画素部の両方のP型MOSトランジスタ部の単結晶シリコンの厚みより厚い。

【0048】

【発明の効果】以上、詳細に説明したように、本発明の光弁基板用半導体装置は、駆動回路部の集積回路の消費電力が小さく、画素部のスイッチングトランジスタの寄生チャネルによるリーク電流がなく、しかも光照射による光リーク電流が少なく、更に、駆動回路部のP型トランジスタは勿論、N型MOSトランジスタも寄生チャネルによるリーク電流が少ない優れた性質を有する。

【図面の簡単な説明】

【図1】本発明の光弁基板用半導体装置の構造断面図である。

【図2】光弁基板用半導体装置の構成を示す斜視図である。

【図3】本発明の画素部のスイッチングトランジスタ構造断面図である。

【図4】光の照射時と非照射時のゲート電圧とドレイン電流の関係を示すグラフである。

【図5】同一強度の光を照射あびた時の、長さや幅が同一寸法のトランジスタの厚みと光リーク電流の関係を示すグラフである。

【図6】電気絶縁性物質上のN型MOSトランジスタの長さ方向の構造断面図である。

【図7】電気絶縁性物質上のN型MOSトランジスタの幅方向の構造断面図である。

【図8】電気絶縁性物質上のN型MOSトランジスタの平面図である。

【図9】アクティブマトリックス型装置の構成を示す平面図である。

【図10】画素部のトランジスタの長さ方向の構造断面図である。

【図11】本発明のアクティブマトリックス型装置の構成を示す平面図である。

13

14

【図12】本発明の画素部のトランジスタの長さ方向の構造断面図である。

【図13】本発明の電気絶縁性物質上のN型MOSトランジスタの長さ方向の構造断面図である。

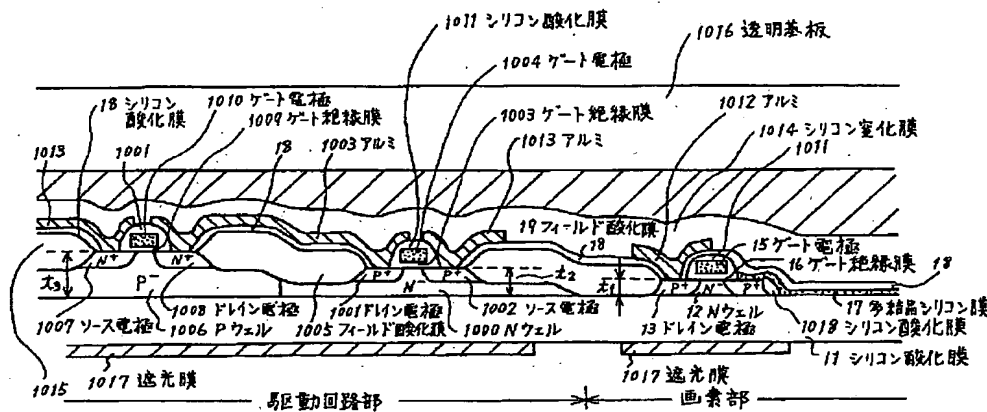
【図14】本発明の電気絶縁性物質上のN型MOSトランジスタの幅方向の構造断面図である。

【符号の説明】

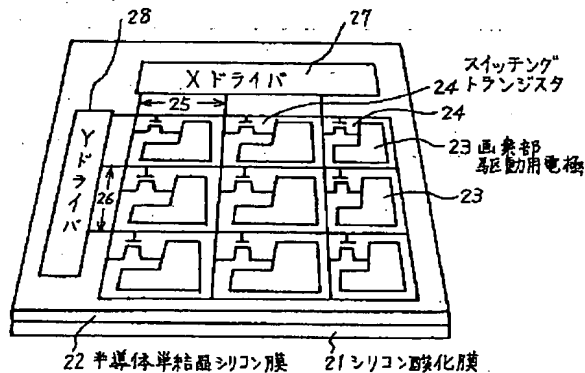
- 11 下地シリコン酸化膜  
16、1003、1009 ゲート酸化膜  
15、1004、1010 ゲート電極

- 12、1000 Nウェル  
1006 Pウェル  
14、1002、1007 ソース電極  
13、1001、1008 ドレイン電極  
19、1005 フィールド酸化膜  
1012 アルミ信号線  
1014 パッシベーション  
1015 透明接着剤  
1016 透明ガラス基板  
10 1017 遮光膜

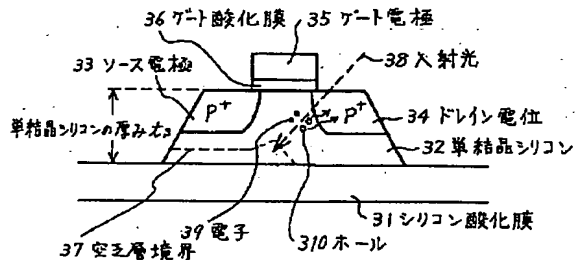
【図1】



【図2】

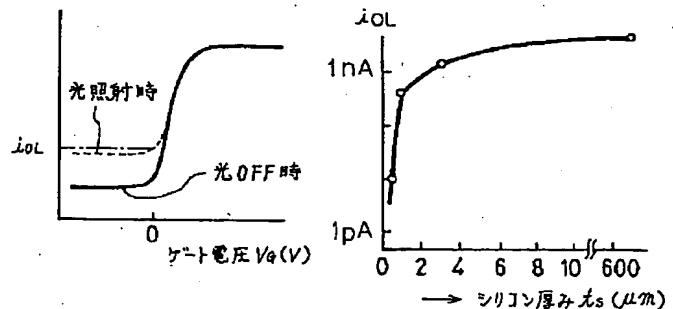


【図3】

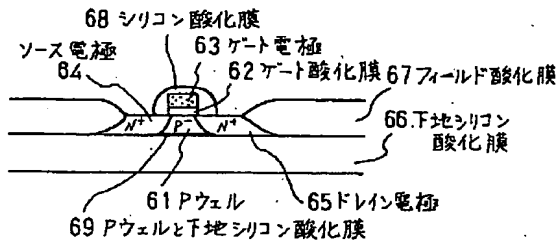


【図4】

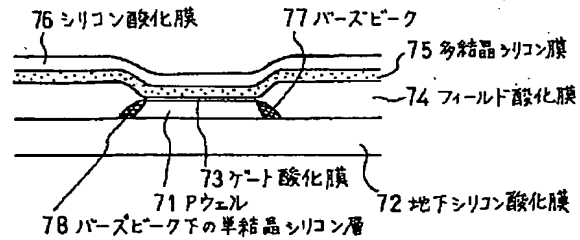
【図5】



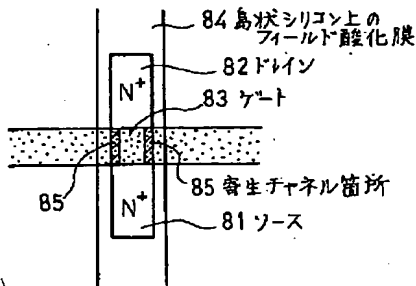
【図6】



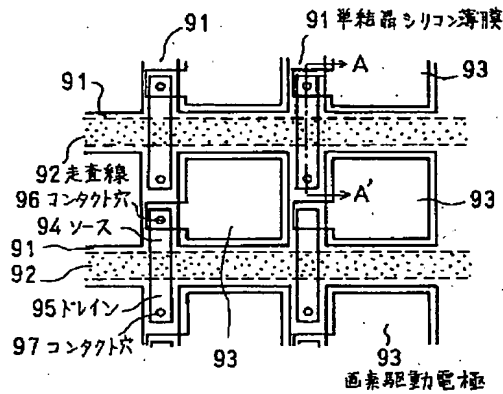
【図7】



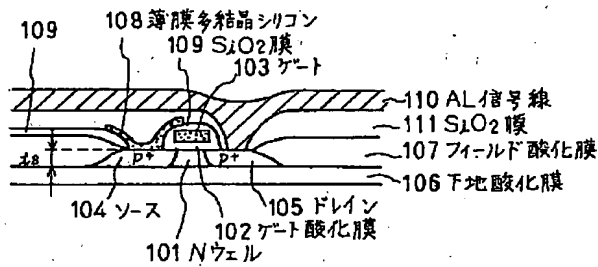
【図8】



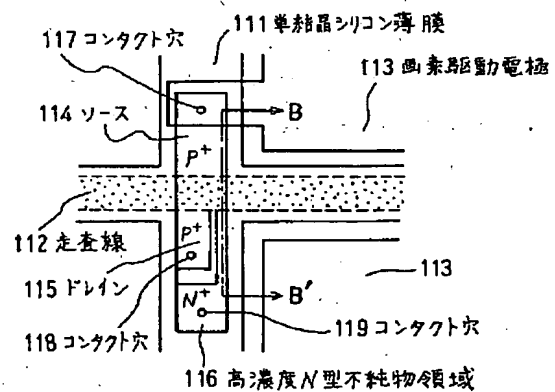
【図9】



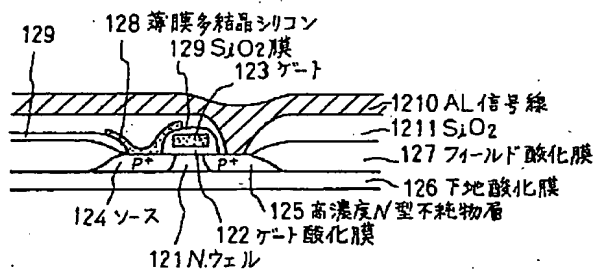
【図10】



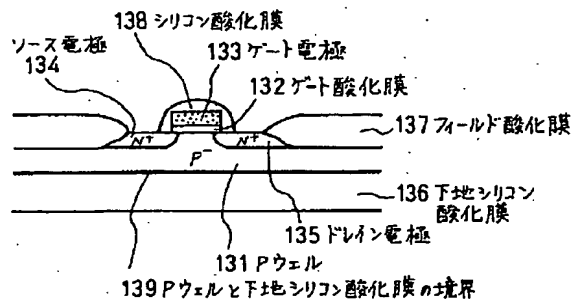
【図11】



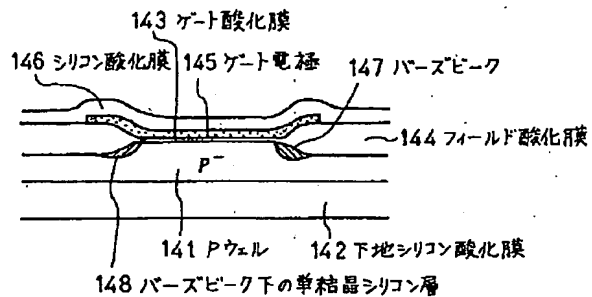
【図12】



【図13】



【図14】



フロントページの続き

(51) Int. Cl.<sup>5</sup>  
H01L 29/784

識別記号

庁内整理番号

F I

技術表示箇所

(72) 発明者 山崎 恒夫  
東京都江東区亀戸6丁目31番1号 セイコ  
ー電子工業株式会社内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**